

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2 0 0 3 年 7 月 2 4 日

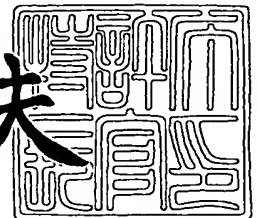
出 願 番 号  
Application Number: 特 願 2 0 0 3 - 2 7 8 8 0 2  
[ST. 10/C]: [ J P 2 0 0 3 - 2 7 8 8 0 2 ]

出 願 人  
Applicant(s): 沖電気工業株式会社

2 0 0 3 年 1 1 月 1 2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 MA001440  
【提出日】 平成15年 7月24日  
【あて先】 特許庁長官殿  
【国際特許分類】 H03K 5/15  
【発明者】  
    【住所又は居所】 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内  
    【氏名】 本田 隆  
【特許出願人】  
    【識別番号】 000000295  
    【氏名又は名称】 沖電気工業株式会社  
【代理人】  
    【識別番号】 100083840  
    【弁理士】  
    【氏名又は名称】 前田 実  
【選任した代理人】  
    【識別番号】 100116964  
    【弁理士】  
    【氏名又は名称】 山形 洋一  
【手数料の表示】  
    【予納台帳番号】 007205  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1  
    【包括委任状番号】 9003703  
    【包括委任状番号】 0101807

**【書類名】 特許請求の範囲****【請求項 1】**

第 1 の論理値と第 2 の論理値間で変化する、相補的な正相信号と逆相信号とを出力する相補信号発生回路において、

第 1 の論理値と第 2 の論理値間で変化する入力信号に対して、同相の正相中間信号と逆相の逆相中間信号を出力する信号形成部と、

前記入力信号の前記第 1 の論理値から前記第 2 の論理値への状態変化に同期して、前記正相中間信号の前記第 2 の論理値及び前記逆相中間信号の前記第 1 の論理値を、各々正相信号出力部及び逆相信号出力部に同時に伝達する第 1 の接続手段と

を有することを特徴とする相補信号発生回路。

**【請求項 2】**

前記入力信号の前記第 2 の論理値から前記第 1 の論理値への状態変化に同期して、前記第 1 の接続手段による前記伝達を解除し、更に、前記正相信号出力部及び前記逆相信号出力部の各状態を、個々に前記第 1 の論理値及び第 2 の論理値とする駆動手段を有することを特徴とする請求項 1 記載の相補信号発生回路。

**【請求項 3】**

前記入力信号の前記第 2 の論理値から前記第 1 の論理値への状態変化に同期して、前記第 1 の接続手段による前記伝達を解除し、更に、前記正相中間信号の前記第 1 の論理値及び前記逆相中間信号の前記第 2 の論理値を、各々正相信号出力部及び逆相信号出力部に同時に伝達する第 2 の接続手段を有することを特徴とする請求項 1 記載の相補信号発生回路。

**【請求項 4】**

前記第 1 の論理値が“L”レベルに相当し、前記第 2 の論理値が“H”レベルに相当することを特徴とする請求項 1 乃至 3 の何れかに記載の相補信号発生回路。

**【請求項 5】**

前記第 1 と第 2 の接続手段が、一対の、並列接続された P チャンネル型 FET と N チャンネル型 FET とで構成されたアナログスイッチを有することを特徴とする請求項 3 記載の相補信号発生回路。

**【請求項 6】**

第 1 の論理値と第 2 の論理値間で変化する、相補的な正相信号と逆相信号とを形成する相補信号形成方法であって、

第 1 の論理値と第 2 の論理値間で変化する入力信号に対して、同相の正相中間信号と逆相の逆相中間信号を形成し、

前記入力信号の前記変化に同期するタイミングで、前記正相中間信号及び前記逆相中間信号の各論理値を、各々正相信号出力部及び逆相信号出力部に同時に伝達することを特徴とする相補信号形成方法。

【書類名】明細書

【発明の名称】相補信号発生回路及び相補信号形成方法

【技術分野】

【0001】

本発明は、相補的な正相信号と逆相信号とを出力する相補信号発生回路及び相補信号形成方法に関する。

【背景技術】

【0002】

この種の相補信号発生回路として、例えばボルテージフォロアのオフセットをキャンセルするため、その反転入力端子に一端が接続された容量の他端を、非反転入力端子と出力端子との間で切り替えるように接続された複数スイッチを、出力する相補信号で切替えるべく、インバータの入力信号と出力信号とで形成された相補信号を出力するものがあった（例えば、特許文献1参照）。

【0003】

またこの相補信号発生回路として、入力信号を入力する入力端子と、正相信号及び逆相信号をそれぞれ出力する第1と第2の出力端子とを有し、入力端子と第1の出力端子の間には入力信号のタイミング調整を行う第1の論理回路が接続され、入力端子と第2の出力端子の間にも逆相信号の出力タイミング調整を行う第2の論理回路が接続された構成のものがあった（例えば、特許文献2参照）。

【特許文献1】特開平2001-188615号公報（第3頁、図4）

【特許文献2】特開平6-152346号公報（第3-4頁、図1）

【発明の開示】

【発明が解決しようとする課題】

【0004】

上記した特許文献1のようにインバータを用いた回路では、インバータの入力信号が、その閾値電圧を越えないと信号が伝播されないため、相補信号となるインバータの入力信号と出力信号の間では、反転タイミングがずれてしまう。また、特許文献2の場合にも、反転タイミングがずれた相補信号が出力される点で、特許文献1と同じであった。

【0005】

以上のように、反転タイミングがずれた相補信号によって、例えば前記したオフセットキャンセル回路を駆動すると、容量による充放電のタイミングが不正確となり、オフセットのキャンセルが正確に行われない等の問題があった。

【0006】

本発明の目的は、上記した問題点を解決すべく、1周期に2つある反転タイミングの、少なくとも一方の反転タイミングが揃った相補信号を出力する相補信号発生回路を提供することにある。

【課題を解決するための手段】

【0007】

本発明の相補信号発生回路は、第1の論理値と第2の論理値間で変化する、相補的な正相信号と逆相信号とを出力する相補信号発生回路において、

第1の論理値と第2の論理値間で変化する入力信号に対して、同相の正相中間信号と逆相の逆相中間信号を出力する信号形成部と、前記入力信号の前記第1の論理値から前記第2の論理値への状態変化に同期して、前記正相中間信号の前記第2の論理値及び前記逆相中間信号の前記第1の論理値を、各々正相信号出力部及び逆相信号出力部に同時に伝達する第1の接続手段とを有することを特徴とする。

【0008】

また、本発明の相補信号形成方法は、第1の論理値と第2の論理値間で変化する、相補的な正相信号と逆相信号とを形成する相補信号形成方法であって、

第1の論理値と第2の論理値間で変化する入力信号に対して、同相の正相中間信号と逆相の逆相中間信号を形成し、前記入力信号の前記変化に同期するタイミングで、前記正相

中間信号及び前記逆相中間信号の各論理値を、各々正相信号出力部及び逆相信号出力部に同時に伝達することを特徴とする。

【発明の効果】

【0009】

本発明によれば、出力される相補信号の一方の立ち上りと他方の立ち下り、或いは一方の立ち下りと他方の立ち上りの少なくともどちらかの各反転タイミングを揃えることができるので、例えば複数のスイッチを相補信号によって同時に切替える回路のためのスイッチ切り替え信号供給手段として好適な相補信号発生回路を提供することができる。

【発明を実施するための最良の形態】

【0010】

実施の形態 1.

図 1 は、本発明に基づく実施の形態 1 の相補信号発生回路 1 の構成を示す回路図である。

【0011】

同図に示すように、相補信号発生回路 1 の入力部 11 は、インピーダンス変換を兼ねたインバータ 2、4 の各入力部に接続されると共に P チャンネル型 FET 8 のゲートに接続されている。インバータ 2 の出力部は、インバータ 3 の入力部に接続されると共に N チャンネル型 FET 9 のゲートに接続されている。

【0012】

アナログスイッチ 6 は、並列接続された P チャンネル型と N チャンネル型の一对の FET で構成され、一方の接続端子にはインバータ 3 の出力部が接続され、他方の接続端子には相補信号発生回路 1 の正相信号出力部 12 が接続されている。またアナログスイッチ 6 と同構成アナログスイッチ 7 の一方の接続端子にはインバータ 4 の出力部が接続され、他方の接続端子には相補信号発生回路 1 の逆相信号出力部 13 が接続されている。

【0013】

相補信号発生回路 1 のスイッチ信号入力部 14 は、アナログスイッチ 6 及び 7 の N チャンネル型 FET の各ゲートに接続されると共に、インバータ 5 を介してアナログスイッチ 6 及び 7 の P チャンネル型 FET の各ゲートに接続されている。そして、電源と逆相信号出力部 13 間には、P チャンネル型 FET 8 のソースとドレインがそれぞれ接続され、正相信号出力部 12 とグランド間には N チャンネル型 FET 9 のドレインとソースがそれぞれ接続されている。

【0014】

尚、アナログスイッチ 6 及び 7 が第 1 の接続手段に相当し、P チャンネル型 FET 8 及び N チャンネル型 FET 9 が駆動手段に相当する。

【0015】

以上のように構成された相補信号発生回路 1 の動作について、その各部における信号波形を示す図 2 のタイミングチャートを参照しながら、以下に説明する。

【0016】

図 2 に示すように、スイッチ信号入力部 14 に入力するスイッチ信号  $S_5$  は、入力部 11 に入力する入力信号  $S_1$  に対して、所定時間  $T_d$  だけ遅れて立ち上ると共に、所定時間  $T_d$  だけ先行して立下がる信号であり、これらの入力信号  $S_1$  及びスイッチ信号  $S_5$  の形成については、後に詳しく説明する。尚、説明の簡単のため、各素子は、信号反転に同程度の遷移時間を有し、更に、入力の閾値電圧が、相補信号発生回路 1 の電源電圧  $V_c$  の 50 パーセント程度とする。

【0017】

図 2 のタイミングチャートに示すように、時刻  $t_0$  の初期状態において、入力信号  $S_1$  及びスイッチング信号  $S_5$  は共に第 1 の論理値に相当する“L”レベルであり、アナログスイッチ 6、7 は、各々の接続端子間を非導電状態とするオフ状態となっている。また、入力信号  $S_1$  が“L”レベルであるため、インバータ出力信号  $S_2$ 、 $S_4$  が共に第 2 の論理値に相当する“H”レベル、インバータ出力信号  $S_3$  が“L”レベルとなっている。更

に、Pチャンネル型FET8及びNチャンネル型FET9は、共にオン状態にあるため、正相出力信号 $S_6$ 及び逆相出力信号 $S_7$ は、それぞれ“L”及び“H”状態となっている。

#### 【0018】

その後、時刻 $t_1$ に入力信号 $S_1$ が立ち上ると、遅延時間 $T_1$ 後の時刻 $t_2$ にインバータ出力信号 $S_2$ 、 $S_4$ が共に立ち下り、この時刻 $t_2$ から更に遅延時間 $T_1$ だけ遅延した時刻 $t_3$ にインバータ出力信号 $S_3$ が立ち上る。そして、これらの時刻 $t_2$ 、 $t_3$ に、Pチャンネル型FET8及びNチャンネル型FET9は、それぞれターンオフするため、正相出力端子12及び逆相出力端子13はフローティング状態となるが、各アナログスイッチ5、6が依然としてオフ状態のため正相出力信号 $S_6$ 及び逆相出力信号 $S_7$ は、それぞれ“L”及び“H”レベル状態を維持する。

#### 【0019】

そして、インバータ出力信号 $S_3$ が“H”レベルに、且つインバータ出力信号 $S_4$ が“L”レベルに至った後の時刻 $t_4$ に、入力信号 $S_1$ から所定の遅延時間 $T_d$ だけ遅れてスイッチ信号 $S_5$ が立ち上る。従って、この時刻 $t_4$ から遅延時間 $T_1$ 後の時刻 $t_5$ に、各アナログスイッチ5、6のNチャンネル型FETが同時にターンオンし、更に続いて、Pチャンネル型FETがターンオンする。このとき、アナログスイッチ6、7は、各々の接続端子間を導電状態とするオン状態となる。

#### 【0020】

従って、正相出力信号 $S_6$ 及び逆相出力信号 $S_7$ は、各アナログスイッチ5、6のNチャンネル型FETのターンオンに伴って、それぞれ同時に“H”及び“L”の各レベルに反転する。

#### 【0021】

その後、時刻 $t_{11}$ での入力信号 $S_1$ の立ち下りに先行する時刻 $t_{10}$ に、スイッチ信号 $S_5$ が立ち下ると、各アナログスイッチ5、6は共に再びオフ状態となって、正相出力端子12及び逆相出力端子13はフローティング状態となるが、Pチャンネル型FET8及びNチャンネル型FET9が依然としてオフ状態のため、正相出力信号 $S_6$ 及び逆相出力信号 $S_7$ は、それぞれ“H”及び“L”の各レベル状態を維持する。

#### 【0022】

そして、時刻 $t_{11}$ に入力信号 $S_1$ が立ち下ると、遅延時間 $T_1$ 後の時刻 $t_{12}$ にインバータ出力信号 $S_2$ 、 $S_4$ が共に立ち上り、この時刻 $t_{12}$ から更に遅延時間 $T_1$ だけ遅延した時刻 $t_{13}$ にインバータ出力信号 $S_3$ が立ち下る。そして、これらの時刻 $t_{12}$ 及び時刻 $t_{13}$ に、Pチャンネル型FET8及びNチャンネル型FET9が、それぞれターンオンするため、逆相出力信号 $S_7$ 及び正相出力信号 $S_6$ は、Pチャンネル型FET8及びNチャンネル型FET9のターンオンに伴って、それぞれ順次“H”及び“L”の各レベルに反転する。

#### 【0023】

以後、入力信号 $S_1$ 及びスイッチング信号 $S_5$ が同様の信号反転を繰り返すのに伴って、正相出力信号 $S_6$ 及び逆相出力信号 $S_7$ も同様の信号反転を繰り返す。

#### 【0024】

尚、出力信号 $S_1$ 、 $S_2$ 、 $S_3$ 、 $S_4$ を出力する部分が信号形成部に相当し、インバータ出力信号 $S_3$ が正相中間信号に、またインバータ出力信号 $S_4$ が逆相中間信号にそれぞれ相当する。

#### 【0025】

図7は、上記した本実施の形態1の相補信号発生回路1が出力する相補信号 $S_6$ 、 $S_7$ の利用例として、エミッタフォロアのオフセットキャンセル回路を有する電圧回路71に用いた場合の回路構成を示す回路図で、以下その内容について説明する。

#### 【0026】

同図中、電圧回路71は、例えば液晶表示回路において、D/Aコンバータでアナログ信号に変換された所定ビットの信号をその入力部72に入力し、インピーダンス変換して

液晶パネルの駆動信号としてその出力部 73 から出力するボルテージフォロアとして使用され、その入力部 72 は、演算増幅器(以下、オペアンプと称す) 74 の非反転入力端子に接続されると共に、アナログスイッチ 75 の一方の接続端子に接続されている。オペアンプ 74 の出力端子は、電圧回路 71 の出力部 73 に接続されると共に、アナログスイッチ 76 及び 77 の各一方の接続端子に接続されている。アナログスイッチ 76 の他方の接続端子は、オペアンプ 74 の反転入力端子に直接接続されると共に、コンデンサ 78 を介してアナログスイッチ 75 及び 77 の各他方の入力端子に接続されている。

#### 【0027】

そして、相補信号発生回路 1 の正相信号出力部 12 はアナログスイッチ 75 及び 76 の各のスイッチ信号入力端子 75b 及び 76b にそれぞれ接続されると共に、アナログスイッチ 77 のスイッチ信号入力端子 77a に接続されている。そして、相補信号発生回路 1 の逆相信号出力部 13 はアナログスイッチ 75 及び 76 の各のスイッチ信号入力端子 75a 及び 76a にそれぞれ接続されると共に、アナログスイッチ 77 のスイッチ信号入力端子 77b に接続されている。

#### 【0028】

ここで、アナログスイッチ 75, 76, 77 は、共に同一構成の素子であるため、アナログスイッチ 76 を例にとって、その内部構成を説明する。図 8 は、このアナログスイッチ 76 の内部構成を示す回路図である。

#### 【0029】

同図に示すように、アナログスイッチ 76 は、並列接続された P チャンネル型と N チャンネル型の FET で構成され、各 FET のソース及びドレインに、それぞれ一対の接続端子の一方及び他方が接続されている。また、スイッチ信号入力端子 76a は、P チャンネル型 FET のゲートに接続されると共に、スイッチ信号入力端子 76b は、N チャンネル型 FET のゲートに接続されている。

#### 【0030】

以上の構成において、図 2 のタイミングチャートの時刻  $t_{10}$  の状態、即ち正相出力信号  $S_6$  が “H”

レベル、逆相出力信号  $S_7$  が “L” となる第 1 の期間のとき、アナログスイッチ 77 はオフに、またアナログスイッチ 75, 76 は共にオンとなり、その間、オペアンプ 74 の入出力間のオフセット電圧がコンデンサ 78 にチャージされる。一方、タイミングチャートの時刻  $t_0$  の状態、即ち正相出力信号  $S_6$  が “L”

レベル、逆相出力信号  $S_7$  が “H” となる第 2 の期間のとき、アナログスイッチ 77 はオンに、またアナログスイッチ 75, 76 は共にオフとなって、コンデンサ 78 にチャージされたオフセットキャンセル分の電荷がオペアンプ 74 の反転入力端子に重畳されて帰還される。

#### 【0031】

以上のように、電圧回路 71 がボルテージフォロアとなる第 2 の期間に、オペアンプ 74 の出力端子と反転入力端子間にオフセット分の逆電圧がチャージされたコンデンサ 78 を介在させることにより、オフセットを相殺するように動作する。

#### 【0032】

以上のような電圧回路 71 において、例えば、図 2 のタイミングチャートの時刻  $t_5$  で発生する正相出力信号  $S_6$  の立ち上りと、逆相出力信号  $S_7$  の立ち下りのタイミングがずれると、ボルテージフォロアとなる第 2 の期間にコンデンサ 78 にチャージされた電荷が放電し、オフセットがキャンセルされなくなる。一方、時刻  $t_{12}$ 、 $t_{13}$  での、逆相出力信号  $S_7$  の立ち上り及び正相出力信号  $S_6$  の立ち下りのタイミングのずれは、オフセット電圧がコンデンサ 78 にチャージされる第 1 の期間にあるため、僅かな誤差は問題とならない。

#### 【0033】

以上のように、実施の形態 1 の相補信号発生回路 1 によれば、出力される相補信号の一方の立ち上りと他方の立ち下り、或いは一方の立ち下りと他方の立ち上りのどちらかの反

転タイミングを揃えることができるので、容量とスイッチを用いてボルテージフォロアのオフセットをキャンセルするオフセットキャンセル回路のスイッチ切替え信号に用いて好適な相補信号を提供することができる。

#### 【0034】

実施の形態 2.

図 3 は、本発明に基づく実施の形態 2 の相補信号発生回路 21 の構成を示す回路図である。

#### 【0035】

同図に示すように、相補信号発生回路 21 の入力部 31 は、インピーダンス変換を兼ねたインバータ 22、24 の各入力部に接続され、インバータ 22 の出力部はインバータ 23 の入力部に接続されている。インバータ 23 の出力部は、並列接続された P チャンネル型と N チャンネル型の一对の FET で構成されアナログスイッチ 27、29 の各一方の接続端子に接続され、インバータ 24 の出力部は同じく並列接続された P チャンネル型と N チャンネル型の一对の FET で構成されたアナログスイッチ 28、30 の各一方の接続端子に接続されている。

#### 【0036】

アナログスイッチ 27、29 の各他方の接続端子は共に相補信号発生回路 21 の正相信号出力部 32 に接続され、アナログスイッチ 28、30 の各他方の接続端子は共に相補信号発生回路 21 の逆相信号出力部 33 に接続されている。相補信号発生回路 21 の第 1 スイッチ信号入力部 34 は、アナログスイッチ 27 及び 28 の N チャンネル型 FET の各ゲートに接続されると共に、インバータ 25 を介してアナログスイッチ 27 及び 28 の P チャンネル型 FET の各ゲートに接続されている。そして相補信号発生回路 21 の第 2 スイッチ信号入力部 35 は、アナログスイッチ 29 及び 30 の N チャンネル型 FET の各ゲートに接続されると共に、インバータ 26 を介してアナログスイッチ 29 及び 30 の P チャンネル型 FET の各ゲートに接続されている。尚、アナログスイッチ 29 及び 30 が第 2 の接続手段に相当する。

#### 【0037】

以上の構成による相補信号発生回路 21 の動作を説明する前に、この相補信号発生回路 21 の入力部 31 に入力する入力信号  $S_1$ 、第 1 スイッチ信号入力部 34 に入力する第 1 スイッチ信号  $S_5$  及び第 2 スイッチ信号入力部 35 に入力する第 2 スイッチ信号  $S_6$  について説明する。図 5 は、これらの信号を生成する信号生成回路 51 の回路図であり、図 6 は、この信号生成回路 51 の各部における信号波形を示す信号波形図である。

#### 【0038】

図 5 に示すように、信号生成回路 51 の入力部 52 は、NOR 回路 61 の一方の入力端子に接続され、更に遅延回路 53 を介して信号生成回路 51 の出力部 54 に接続されると共に、インバータ 55 を介して NOR 回路 60 の一方の入力端子に接続されている。NOR 回路 60 の出力端子は、信号生成回路 51 の出力部 62 に接続されると共に、2 つの遅延回路 58、59 を介して NOR 回路 61 の他方の入力端子に接続され、NOR 回路 61 の出力端子は、信号生成回路 51 の出力部 63 に接続されると共に、2 つの遅延回路 56、57 を介して NOR 回路 60 の他方の入力端子に接続されている。尚、各遅延回路 53、56、57、58、59 は、共に信号遅延時間  $T_d$  だけ信号遅延するものとする。

#### 【0039】

以上の構成において、入力部 52 には、図 6 の波形図に示すように、例えば矩形信号  $S_0$  が印加される。このとき、出力部 54 からは、矩形信号  $S_0$  に対して遅延回路 53 によって遅延時間  $T_d$  だけ遅延した信号で、前記した図 3 の相補信号発生回路 21 の入力部 31 に入力する入力信号  $S_1$  が出力される。

#### 【0040】

時刻  $t_{s0}$  における矩形信号  $S_0$  の立ち上りで、その反転信号  $S_{10}$  及び出力部 63 から出力され、前記した図 3 の相補信号発生回路 21 の第 2 スイッチ信号入力部 35 に入力する第 2 スイッチ信号  $S_6$  は共に立ち下る。第 2 スイッチ信号  $S_6$  の遅延信号  $S_{11}$  は、



時刻 50 から  $2 \cdot T_d$  だけ遅れた時刻  $t_{51}$  に立ち下り、これによって、出力部 62 から出力され、前記した図 3 の相補信号発生回路 21 の第 1 スイッチ信号入力部 34 に入力する第 1 スイッチ信号  $S_5$  が立ち上る。

#### 【0041】

時刻  $t_{52}$  に矩形信号  $S_0$  が立ち下ると、その反転信号  $S_{10}$  が立ち上るため、第 1 スイッチ信号  $S_5$  が立ち下る。この第 1 スイッチ信号  $S_5$  の遅延信号  $S_{12}$  は、時刻  $t_{52}$  から  $2 \cdot T_d$  だけ遅れた時刻  $t_{53}$  に立ち下り、これによって第 2 スイッチ信号  $S_6$  が再び立ち上る。その後、時刻  $t_{54}$  に矩形信号  $S_0$  が立ち上り、これによって第 2 のスイッチ信号  $S_6$  は立ち下る。

#### 【0042】

以上のようにして、矩形信号  $S_0$  のレベル変化に同期した入力信号  $S_1$ 、第 1 スイッチ信号  $S_5$ 、及び第 2 スイッチ信号  $S_6$  のレベル変化が繰り返される。結局、第 1 スイッチ信号  $S_5$  は、入力信号  $S_1$  の立ち上りから遅延時間  $T_d$  後に立ち上ると共に、入力信号  $S_1$  の立ち下り前に遅延時間  $T_d$  だけ先行して立ち下る信号波形を有し、一方第 2 スイッチ信号  $S_6$  は、入力信号  $S_1$  の立ち下りから遅延時間  $T_d$  後に立ち上ると共に、入力信号  $S_1$  の立ち上り前に遅延時間  $T_d$  だけ先行して立ち下る信号波形を有する。尚、この入力信号  $S_1$  及び第 1 スイッチ信号  $S_5$  は、前記した図 1 で説明した入力信号  $S_1$  及びスイッチ信号  $S_5$  に相当する。

#### 【0043】

以上のようにして形成される入力信号  $S_1$ 、第 1 スイッチ信号  $S_5$ 、及び第 2 スイッチ信号  $S_6$  を入力する相補信号発生回路 21 (図 3) の動作について、その各部における信号波形を示す図 4 のタイミングチャートを参照しながら、以下に説明する。

#### 【0044】

尚、説明の簡単のため、各素子は、信号反転に同程度の遷移時間を有し、更に、入力の閾値電圧が、相補信号発生回路 21 の電源電圧  $V_c$  の 50 パーセント程度とする。

#### 【0045】

図 4 のタイミングチャートに示すように、時刻  $t_{20}$  の初期状態において、入力信号  $S_1$ 、第 1 スイッチ信号  $S_5$  及び第 2 スイッチ信号  $S_6$  は共に “L” レベルであり、アナログスイッチ 27, 28, 29, 30 は、各々の接続端子間が非導電状態となってオフ状態となっている。また、入力信号  $S_1$  が “L” レベルであるため、インバータ出力信号  $S_{15}$ ,  $S_{16}$  が共に “H” レベル、インバータ出力  $S_{17}$  が “L” レベルとなっている。

#### 【0046】

このとき、正相出力端子 32 及び逆相出力端子 33 は、共にフローティング状態であるが、後述するフローティング状態になる前の状態、即ち正相出力信号  $S_{18}$  が “L” レベル状態を、また逆相出力信号  $S_{19}$  が “H” レベル状態をそれぞれ維持している。

#### 【0047】

その後、時刻  $t_{21}$  に入力信号  $S_1$  が立ち上ると、遅延時間  $T_1$  後の時刻  $t_{22}$  にインバータ出力信号  $S_{15}$ ,  $S_{16}$  が共に立ち下り、この時刻  $t_{22}$  から更に遅延時間  $T_1$  だけ遅延した時刻  $t_{23}$  にインバータ出力信号  $S_{17}$  が立ち上る。そして、インバータ出力信号  $S_{16}$  が “L” レベルに、且つインバータ出力信号  $S_{17}$  が “H” レベルに至った後の時刻  $t_{24}$  に、入力信号  $S_1$  から所定の遅延時間  $T_d$  だけ遅れて第 1 スイッチ信号  $S_5$  が立ち上る。従って、この時刻  $t_{24}$  から遅延時間  $T_1$  後の時刻  $t_{25}$  に、アナログスイッチ 27, 28 の N チャンネル型 FET が同時にターンオンし、更に続いて、P チャンネル型 FET がターンオンする。このとき、アナログスイッチ 27, 28 は、各々の接続端子間を導電状態とするオン状態となる。

#### 【0048】

従って、正相出力信号  $S_{18}$  及び逆相出力信号  $S_{19}$  は、アナログスイッチ 27, 28 の N チャンネル型 FET のターンオンに伴って、それぞれ同時に “H” 及び “L” の各レベルに反転する。

#### 【0049】

その後、時刻  $t_{31}$  での入力信号  $S_1$  の立ち下りに先行する時刻  $t_{30}$  に、スイッチ信号  $S_5$  が立ち下ると、各アナログスイッチ 27, 28 は共に再びオフ状態となって、正相出力端子 12 及び逆相出力端子 13 はフローティング状態となるが、正相出力信号  $S_{18}$  及び逆相出力信号  $S_{19}$  は、それぞれ“H”及び“L”レベル状態を維持する。

#### 【0050】

そして、時刻  $t_{31}$  に入力信号  $S_1$  が立ち下ると、遅延時間  $T_1$  後の時刻  $t_{32}$  にインバータ出力信号  $S_{15}$ 、 $S_{16}$  が共に立ち上り、この時刻  $t_{32}$  から更に遅延時間  $T_1$  だけ遅延した時刻  $t_{33}$  にインバータ出力信号  $S_{17}$  が立ち下る。そして、インバータ出力信号  $S_{16}$  が“H”レベルに、且つインバータ出力信号  $S_{17}$  が“L”レベルに至った後の時刻  $t_{34}$  に、入力信号  $S_1$  の立ち下りから所定の遅延時間  $T_d$  だけ遅れて第2スイッチ信号  $S_6$  が立ち上る。従って、この時刻  $t_{34}$  から遅延時間  $T_1$  後の時刻  $t_{35}$  に、アナログスイッチ 29, 30 の N チャンネル型 FET が同時にターンオンし、更に続いて、P チャンネル型 FET がターンオンする。このとき、アナログスイッチ 29, 30 は、各々の接続端子間を導電状態とするオン状態となる。

#### 【0051】

従って、正相出力信号  $S_{18}$  及び逆相出力信号  $S_{19}$  は、アナログスイッチ 29, 30 の N チャンネル型 FET のターンオンに伴って、それぞれ同時に“L”及び“H”の各レベルに反転する。その後、時刻  $t_{36}$  に第2スイッチ信号  $S_6$  が、入力信号  $S_1$  の立ち上りに先行して立ち下ると、アナログスイッチ 29, 30 は再びオフ状態となり、正相出力端子 32 及び逆相出力端子 33 は、共にフローティング状態となるが、正相出力信号  $S_{18}$  及び逆相出力信号  $S_{19}$  は、フローティング状態になる前の状態、即ち“L”レベル状態及び“H”レベル状態をそれぞれ維持する。この状態が前記した時刻  $t_{20}$  の状態に相当し、以後、入力信号  $S_1$  のレベル変化に応じて同様の動作が繰り返される。

#### 【0052】

以上の相補信号発生回路 21 は、例えば、前記した電圧回路 71 (図7) のスイッチ信号供給回路として、同図の相補信号発生回路 1 に代えて使用され、この場合、正相出力信号  $S_6$  が  $S_{18}$  となり、逆相出力信号  $S_7$  が  $S_{19}$  となる。

#### 【0053】

以上のように、実施の形態2の相補信号発生回路によれば、出力される相補信号の一方の立ち上りと他方の立ち下り、或いは一方の立ち下りと他方の立ち上りの両方の反転タイミングを揃えることができるので、例えば図7に示すような、複数のスイッチを相補信号によって同時に切替える回路のスイッチ切り替え信号供給回路として用いることにより、常にスイッチの切替えタイミングの揃った回路動作を可能とすることができる。

#### 【0054】

尚、上記した実施の形態では、スイッチング素子として MOSFET を用いて説明したが、これに限定されるものではなく、双方向へ電流を流せる素子であれば良いなど種々の態様を取りえるものである。

#### 【図面の簡単な説明】

#### 【0055】

【図1】本発明に基づく実施の形態1の相補信号発生回路1の構成を示す回路図である。

【図2】相補信号発生回路1の各部における信号波形を示すタイミングチャートである。

【図3】本発明に基づく実施の形態2の相補信号発生回路21の構成を示す回路図である。

【図4】相補信号発生回路21の各部における信号波形を示すタイミングチャートである。

【図5】入力信号  $S_1$ 、第1スイッチ信号  $S_5$  及び第2スイッチ信号  $S_6$  を生成する信号生成回路 51 の回路図である。

【図6】信号生成回路51の各部における信号波形を示す信号波形図である。

【図7】相補信号発生回路1が出力する相補信号S<sub>6</sub>、S<sub>7</sub>を、電圧回路71に用いた場合の回路構成を示す回路図である。

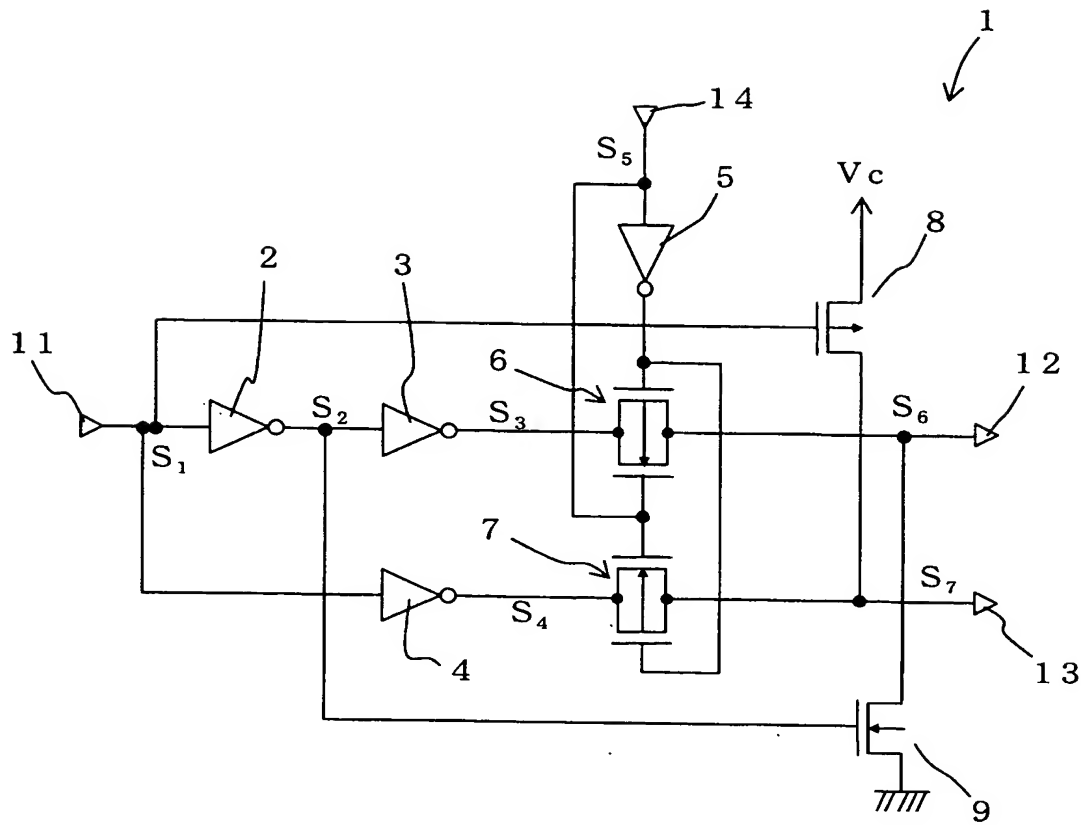
【図8】電圧回路71のアナログスイッチ76の内部構成を示す回路図である。

【符号の説明】

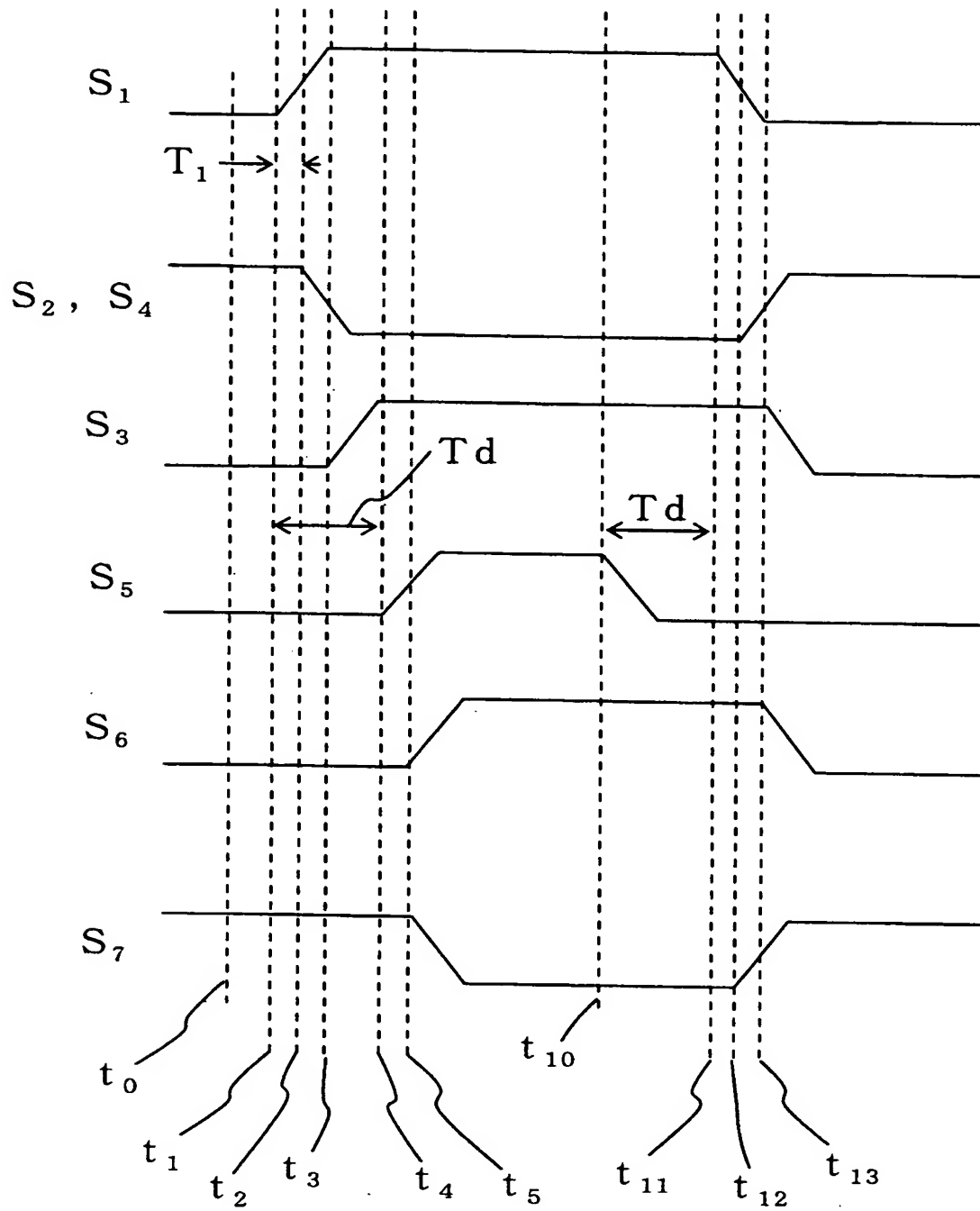
【0056】

1 相補信号発生回路、 2, 3, 4, 5 インバータ、 6, 7 アナログスイッチ、 8 Pチャンネル型FET、 9 Nチャンネル型FET、 11 入力部、 12 正相信号出力部、 13 逆相信号出力部、 14 スイッチ信号入力部、 21 相補信号発生回路、 22, 23, 24, 25, 26 インバータ、 27, 28, 29, 30 アナログスイッチ、 31 入力部、 32 正相信号出力部、 33 逆相信号出力部、 34 第1スイッチ信号入力部、 35 第2スイッチ信号入力部、 51 信号生成回路、 52 入力部、 53, 56, 57, 58, 59 遅延回路、 54, 62, 63 出力部、 60, 61 NOR回路、 71 電圧回路、 72 入力部、 73 出力部、 74 オペアンプ、 75, 76, 77 アナログスイッチ、 78 コンデンサ。

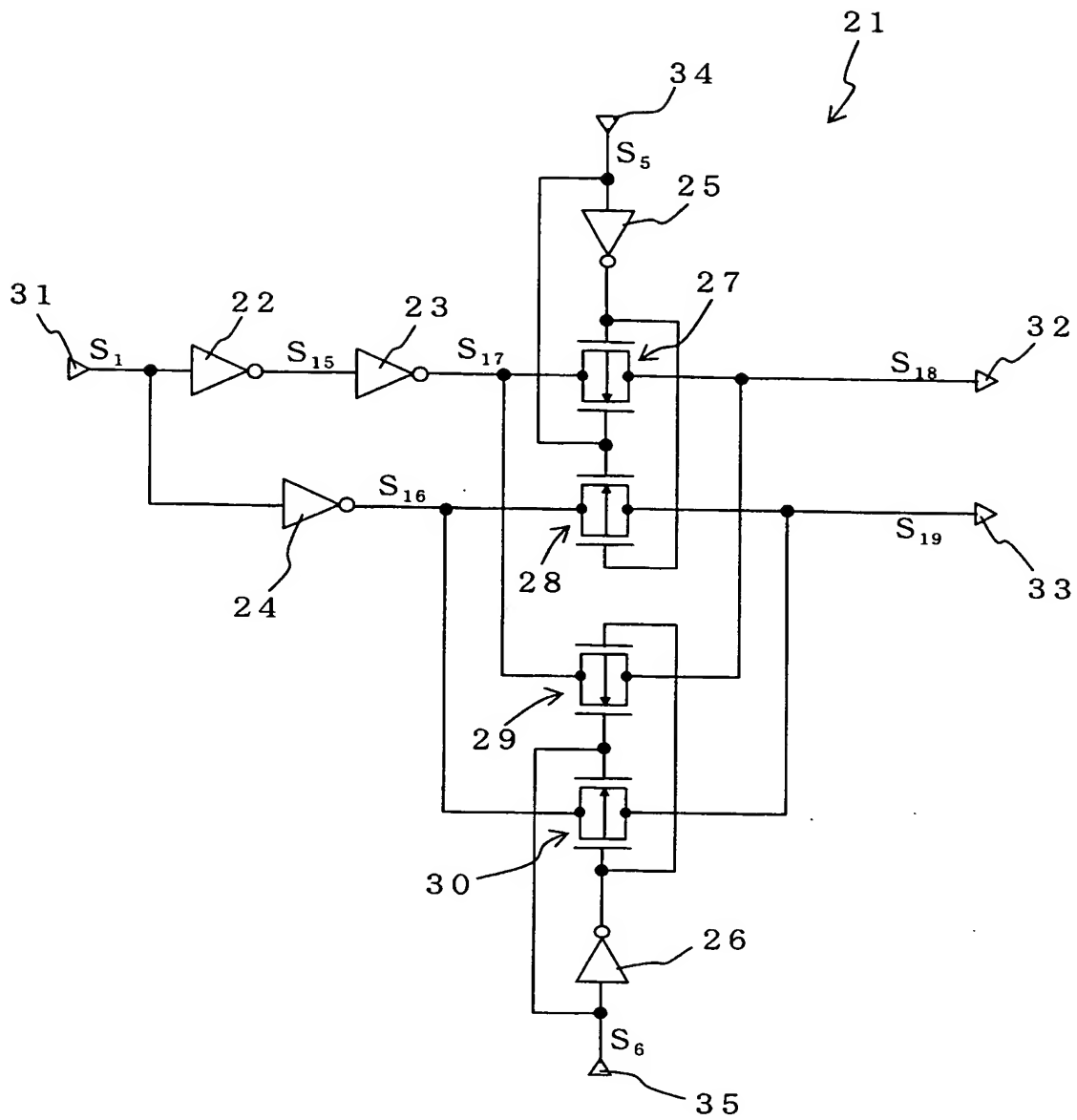
【書類名】 図面  
【図 1】



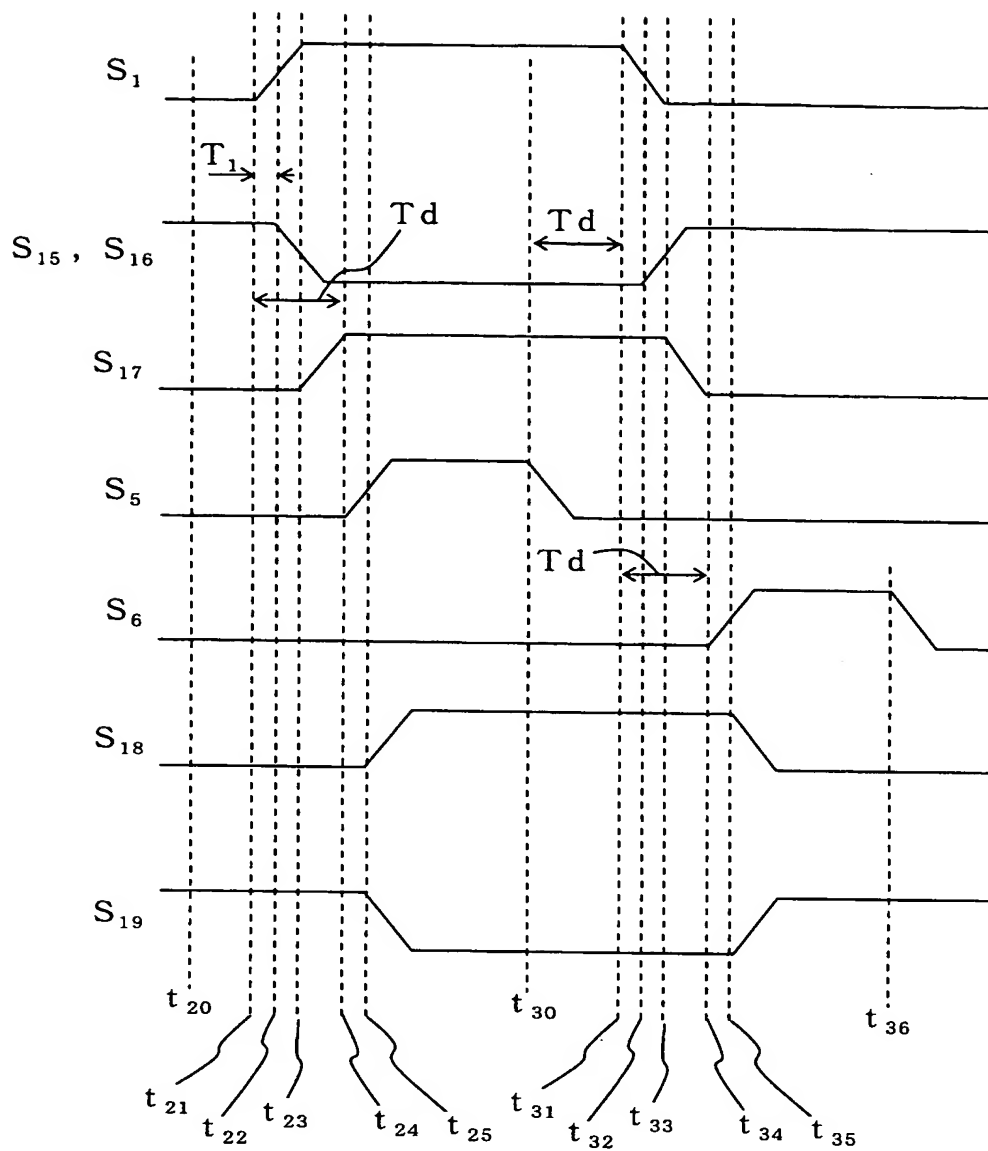
【図 2】



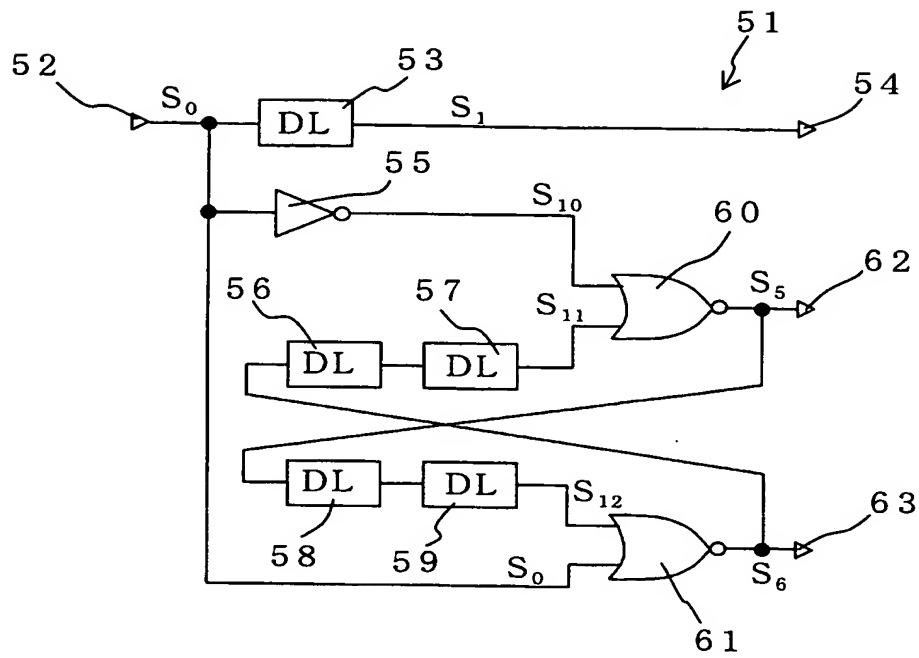
【図 3】



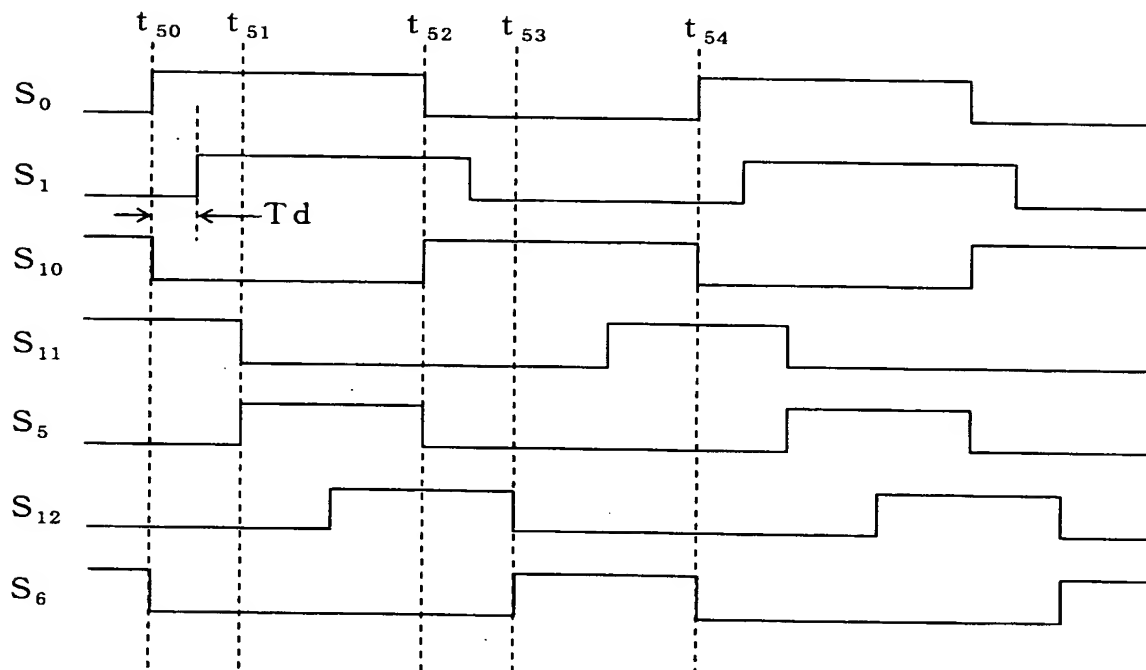
【図 4】



【図 5】



【図 6】







【書類名】 要約書

【要約】

【課題】 相補信号発生回路から出力される相補的な正相信号と逆相信号の各反転タイミングを揃える。

【解決手段】 入力信号  $S_1$  と同相のインバータ出力信号  $S_3$  と、入力信号  $S_1$  と逆相のインバータ出力信号  $S_4$  とをそれぞれアナログスイッチ 6, 7 の各一方の接続端子に印加し、入力信号  $S_1$  と同期したスイッチ信号  $S_5$  によって、同時にアナログスイッチ 6, 7 をオンすることによって、これらの各インバータ出力信号を同タイミングで正相信号出力部 1 2、及び逆相信号出力部 1 3 に伝達する。

【選択図】 図 1

特願 2 0 0 3 - 2 7 8 8 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 0 2 9 5 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

東京都港区虎ノ門1丁目7番12号

氏 名

沖電気工業株式会社